

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 2001144604  
PUBLICATION DATE : 25-05-01

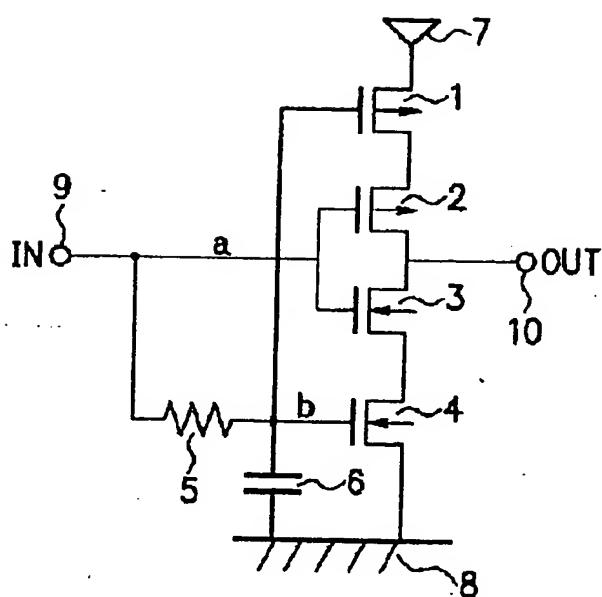
APPLICATION DATE : 16-11-99  
APPLICATION NUMBER : 11325426

APPLICANT : NEC CORP;

INVENTOR : OTAKE HIROYUKI;

INT.CL. : H03K 19/0948 H03K 17/16 H03K  
17/687

TITLE : CMOS LOGIC CIRCUIT



**ABSTRACT :** PROBLEM TO BE SOLVED: To obtain a CMOS logic circuit that can reduce a through-current in spite of a fewer inserted delay circuit numbers.

SOLUTION: A push-pull gate circuit consisting of P-channel transistors(TRs) 1, 2 and N-channel TRs 3, 4 and providing different ON/OFF operations to an input signal is connected in series between a power supply and a GND, and delay circuits 5, 6 delay the input signal by a prescribed time. The input signal (a) is given to any gate terminal of the push-pull gate circuit, an input signal (b) via the delay circuit is connected to other gate terminal of the push-pull gate circuit, and a connecting point of the series connection of the push-pull connection TRs 2, 3 is connected to an output signal terminal 10, and the input signal 9 is given to the output signal terminal 10. The ON/OFF operation timing of the push-pull gate circuit is made different by the delay circuit. Thus, simultaneous turning on of the gate circuits can be prevented and the through-current can be reduced.

COPYRIGHT: (C)2001,JPO

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-144604

(P2001-144604A)

(13)公開日 平成13年5月25日 (2001.5.25)

(51)Int.Cl'

H03K 19/0948  
17/16  
17/687

識別記号

F I

H03K 17/16  
19/094  
17/687

7-3-1\*(参考)

F 5 J 0 5 5  
B 5 J 0 5 6  
F

審査請求 有 請求項の数7 OL (全7頁)

(21)出願番号

特願平11-325426

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22)出願日 平成11年11月16日 (1999.11.16)

(72)発明者 大竹 寛之

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100034250

弁理士 丸山 隆夫

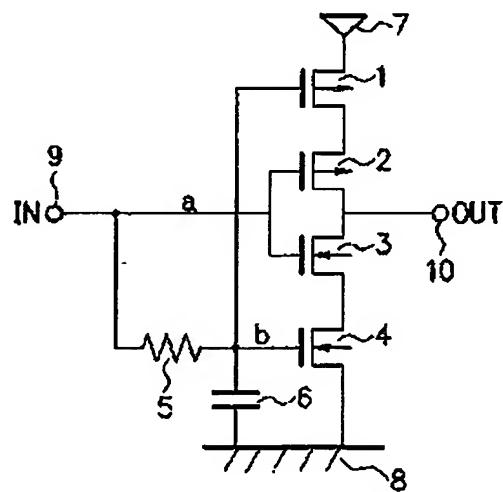
最前頁に続く

(54)【発明の名稱】 CMOS論理回路

(57)【要約】

【課題】 より少ない挿入遅延回路数で貢通電流を低減したCMOS論理回路を得る。

【解決手段】 Pチャネル型トランジスタ1、2とNチャネル型トランジスタ3、4とで構成される、入力信号にON/OFF動作が相違するブッシュ/ブルゲート回路が電源とGND間に直列接続され、遅延回路5、6により入力信号を所定時間遅延させる。ブッシュ/ブルゲート回路の何れか一方のゲート端子へ入力信号aを接続し、且つブッシュ/ブルゲート回路の他方のゲート端子へ遅延回路を介した入力信号bを接続し、ブッシュ/ブルゲート回路2、3の直列接続された接続点を出力信号端子10と連結して構成し、入力信号9を出力信号端子10へ連結するブッシュ/ブルゲート回路のON/OFF動作のタイミングを、遅延回路により異ならせる。よって、ゲート回路の同時オンを防ぎ、貢通電流を削減することができる。



## 【特許請求の範囲】

【請求項1】 電源とGND間に直列接続され所定の入力信号にON/OFF動作が相違するプッシュ/プルゲート回路と、前記入力信号を所定時間遅延させる遅延回路とを有し、前記プッシュ/プルゲート回路の何れか一方のゲート端子へ前記入力信号を接続し、且つ前記プッシュ/プルゲート回路の他方のゲート端子へ前記遅延回路を介した前記入力信号を接続し、

前記プッシュ/プルゲート回路の前記直列接続された接続点を出力信号端子と連結して構成し、

前記入力信号を前記出力信号端子へ連結する前記プッシュ/プルゲート回路のON/OFF動作のタイミングを、前記遅延回路により異ならせたことを特徴とするCMOS論理回路。

【請求項2】 前記プッシュ/プルゲート回路は、Pチャネル型トランジスタとNチャネル型トランジスタにより構成されたことを特徴とする請求項1記載のCMOS論理回路。

【請求項3】 前記遅延回路は、前記入力信号端子とGND間に抵抗器とコンデンサとによりCR箇分器として構成され、該箇分時定数により遅延時間を設定可能に構成されたことを特徴とする請求項1または2に記載のCMOS論理回路。

【請求項4】 前記遅延時間の設定により、前記ON/OFF動作時に発生する負通電流を削減化したことを特徴とする請求項1から3の何れかに記載のCMOS論理回路。

【請求項5】 電源とGND間に直列接続された第1のPチャネル型トランジスタ、第2のPチャネル型トランジスタ、第1のNチャネル型トランジスタ、第2のNチャネル型トランジスタと、

入力信号端子と前記GND間に直列接続された抵抗器とコンデンサとを有し、

前記直列接続された第2のPチャネル型トランジスタと第1のNチャネル型トランジスタのそれぞれのゲート端子と前記入力信号端子とを接続(a)し、

前記抵抗器とコンデンサとの接続点と前記第1のPチャネル型トランジスタのゲート端子および第2のNチャネル型トランジスタのゲート端子との間を接続(b)し、前記第2のPチャネル型トランジスタのドレインと第1のNチャネル型トランジスタのソースの接続点と出力端子間を接続し、

前記接続(a)と接続(b)の接続されたトランジスタのON/OFF動作のタイミングを異ならせたことを特徴とするCMOS論理回路。

【請求項6】 前記タイミングをずらせたON/OFF動作により、負通電流を削減化したことを特徴とする請求項5記載のCMOS論理回路。

【請求項7】 前記CMOS論理回路は、前状態を保持

するバスホルダ回路をさらに有し、前記Pチャネル型トランジスタ、Nチャネル型トランジスタが共にオフする場合、インバータ回路の出方がハイインピーダンス状態になる場合があるため、前状態を保持する回路を挿入することによって、次段にその状態を伝播させないようにしたことを特徴とする請求項1または6に記載のCMOS論理回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、CMOS論理回路に関し、特に、負通電流の発生を防止して低消費電力を実現するCMOS論理回路に関する。

## 【0002】

【従来の技術】 従来、CMOS論理回路は、例えば、ロジックLSIとして構成される。図10は、従来のCMOSインバータ論理回路の構成例を示す回路図である。本従来例のCMOSインバータ論理回路は、Pチャネル型MOSトランジスタ11、Nチャネル型MOSトランジスタ12、入力端子(IN)13、電源(VCC)14、出力端子(OUT)15、接地(GND)16を有して構成される。

【0003】 なお、MOSトランジスタ等の半導体素子からなるロジックLSIには、一般的に、低消費電力が要望されている。そのためのCMOSデバイスの消費電流を低減する最も有効な手段の一つとして、信号の変化点で発生する電源-GND間に流れる負通電流の低減が考えられる。

【0004】 CMOSのトランジスタ回路に遅延回路を挿入して負通電流の発生を防止する回路の従来技術例は、特開平9-214324号公報の「CMOS論理回路」や特開平4-287419号公報の「インバータ回路」において示されている。

## 【0005】

【発明が解決しようとする課題】 しかしながら、上記従来例のCMOS論理回路では、負通電流の発生を防止する回路としてCMOSトランジスタ回路に付加された遅延回路の回路数が多く、またこれらの回路が消費電流も大きくしているという問題を伴う。

【0006】 本発明は、より少ない挿入遅延回路数で負通電流を低減化したCMOS論理回路を提供することを目的とする。

## 【0007】

【課題を解決するための手段】かかる目的を達成するため、請求項1記載のCMOS論理回路は、電源とGND間に直列接続され所定の入力信号にON/OFF動作が相違するプッシュ/プルゲート回路と、入力信号を所定時間遅延させる遅延回路とを有し、プッシュ/プルゲート回路の何れか一方のゲート端子へ入力信号を接続し、且つプッシュ/プルゲート回路の他方のゲート端子へ遅延回路を介した入力信号を接続し、プッシュ/プルゲ

ート回路の何れか一方のゲート端子へ入力信号を接続し、且つプッシュ/プルゲート回路の他方のゲート端子へ遅延回路を介した入力信号を接続し、プッシュ/プルゲ

ト回路の直列接続された接続点を出力信号端子と追結して構成し、入力信号を出力信号端子へ追結するプッシュ／プルゲート回路のON/OFF動作のタイミングを、遅延回路により異ならせたことを特徴としている。

【0008】上記のプッシュ／プルゲート回路は、Pチャネル型トランジスタとNチャネル型トランジスタにより構成され、遅延回路は、入力信号端子とGND間に抵抗器とコンデンサによりCR調分器として構成され、この積分時間数により遅延時間を設定可能に構成され、さらには遅延時間の設定により、ON/OFF動作時に発生する負通電流を削減化するとよい。

【0009】請求項5記載の発明のCMOS論理回路は、電源とGND間に直列接続された第1のPチャネル型トランジスタ、第2のPチャネル型トランジスタ、第1のNチャネル型トランジスタ、第2のNチャネル型トランジスタと、入力信号端子とGND間に直列接続された抵抗器とコンデンサとを有し、直列接続された第2のPチャネル型トランジスタと第1のNチャネル型トランジスタのそれぞれのゲート端子と入力信号端子とを接続(a)し、抵抗器とコンデンサとの接続点と第1のPチャネル型トランジスタのゲート端子および第2のNチャネル型トランジスタのゲート端子との間を接続(b)し、第2のPチャネル型トランジスタのドレインと第1のNチャネル型トランジスタのソースの接続点と出力端子間を接続し、接続(a)と接続(b)の接続されたトランジスタのON/OFF動作のタイミングを異ならせたことを特徴としている。

【0010】上記のタイミングをずらせたON/OFF動作により負通電流を削減化し、またCMOS論理回路は、前状態を保持するバスホールタ回路をさらに有し、Pチャネル型トランジスタ、Nチャネル型トランジスタが共にオフする場合、インバータ回路の出力がハイインビータンス状態になる場合があるため、前状態を保持する回路を挿入することによって、次段にその状態を伝播させないようにするとい。

#### 【0011】

【発明の実施の形態】次に、添付図面を参照して本発明によるCMOS論理回路の実施の形態を詳細に説明する。図1から図9を参照すると、本発明のCMOS論理回路の一実施形態が示されている。

【0012】(第1の実施例)図1は、本発明の第1の実施の形態であるCMOSインバータ回路であり、Pチャネル型トランジスタ1、Pチャネル型トランジスタ2、Nチャネル型トランジスタ3、Nチャネル型トランジスタ4、抵抗5、コンデンサ6、電源7、およびGND8、入力端子9、出力端子10を有して構成される。さらに、図2は、図1におけるCMOSインバータ回路の構成回路の断面構造を表している。

【0013】図1に示したCMOSインバータ回路の回路構成において、Pチャネル型トランジスタ1、2およ

びNチャネル型トランジスタ3、4は、電源7およびGND8間に直列接続されている。本構成によれば、型式の相違するトランジスタが直列に接続され、各ゲートに制御信号が入力されることにより、ON/OFF動作の相違した、いわゆる、プッシュ／プル回路に構成されている。

【0014】(第1の実施例の動作説明)図3は、第1の実施例における動作例を示すタイミングチャートであり、図1のインバータ回路の動作例を示す。このインバータ回路に対して、入力端子9に図3のINに示すような波形が入った場合を想定する。図3の信号aは、図1のPチャネル型トランジスタ2とNチャネル型トランジスタ3に入力される。また、図1の信号bの波形は、CR回路による充放電により、図3中の(b)に示される様やかな立ち上がりと立ち下がりを持った波形になり、Pチャネル型トランジスタ1とNチャネル型トランジスタ4に入力される。この信号bの波形によって、しきい値に至る時間が信号aに比べて時間もだけ遅れる。図3中のトランジスタ1、2、3、4のON/OFFのタイミングおよび出力信号OUTの波形図は、上記の関係をタイミングチャートとして示している。

【0015】ここで、入力した信号の立ち上がりと立ち下がりについて、それぞれ図1のインバータ回路についての動作例を説明する。図4は、トランジスタ1～4のON/OFFタイミング例を、特に入力立ち上がり時のタイミングを詳細に示している。つまり本図4のタイミング図では、入力信号INの信号レベルが“L”から“H”に変化する場合においての各トランジスタの動作例を示す。図4中のV1P、V2P、V3N、V4Nはそれぞれ、Pチャネル型トランジスタ1、Pチャネル型トランジスタ2、Nチャネル型トランジスタ3、Nチャネル型トランジスタ4のしきい値を示す。時刻T1で入力信号aの電圧レベルがV3Nを越えると、Nチャネル型トランジスタ3はオフ状態からオン状態に切り替わる。

【0016】時刻T1から時刻T2の区间ではNチャネル型トランジスタ1とPチャネル型トランジスタ2、Nチャネル型トランジスタ3がオンしているが、Nチャネル型トランジスタ4がオフしているために、負通電流が生じない。また、時刻T3でRC回路によって遅延された入力信号bの電圧レベルが、Nチャネル型トランジスタ4のしきい値V4Nを越えると、Nチャネル型トランジスタ4がオン状態に変化し、出力信号OUTが“H”から“L”に変化する。時刻T3から入力信号bの電圧レベルがV1Pに達する時刻T4まで、Pチャネル型トランジスタ1とNチャネル型トランジスタ3、Nチャネル型トランジスタ4がオンしている。しかし既に、Pチャネル型トランジスタ2がオフ状態になっているため、負通電流は生じない。

【0017】図5では、入力信号INの信号レベルが

“H”から“L”に変化する場合の、入力立ち下がり時においての各トランジスタの動作例を示す。時刻T5で入力信号aの電圧レベルがV2P以下になると、Pチャネル型トランジスタ2はオフ状態からオン状態に切り替わる。時刻T5から時刻T6になるまで、Pチャネル型トランジスタ2、Nチャネル型トランジスタ3、Pチャネル型トランジスタ4がオンしている。しかし、Pチャネル型トランジスタ1がオフしているために、貢通電流が生じない。

【0018】時刻T7で入力信号bの電圧レベルがV1P以下になり、Pチャネル型トランジスタ1がオフ状態に変化すると、出力信号OUTが“L”から“H”に変化する。時刻T7から入力信号bの電圧レベルがNチャネル型トランジスタ4のしきい値V4Nに達する時刻T8まで、Pチャネル型トランジスタ1、Nチャネル型トランジスタ3、Nチャネル型トランジスタ4がオンしている。しかし、既に、Pチャネル型トランジスタ2がオフ状態になっているため、貢通電流は生じない。

【0019】(第2の実施例)本発明の第2の実施例の構成を図6に示す。図6では、CR回路からの信号dの接続先をPチャネル型トランジスタ2のゲートとNチャネル型トランジスタ3のゲートに変更し、Pチャネル型トランジスタ1のゲートとNチャネル型トランジスタ4のゲートには入力端子9からの信号cを接続した。なお、本第2の実施例と第1の実施例で異なる構成の部品は同じである。既述のように接続関係が相違している。このように接続しても、図1における本発明の第1の実施例の構成と同様、貢通電流が発生しない回路構成が実現できる。

【0020】(第2の実施例の動作説明)図7と図8に、本発明の第2の実施例の構成において各トランジスタの動作例を示す。図7では、入力信号INの信号レベルが“L”から“H”に変化する場合においての各トランジスタの動作を示す。時刻T11で入力信号cの電圧レベルが、V4Nを越えると、Nチャネル型トランジスタ4はオフ状態から、オン状態に切り替わる。時刻T11から時刻T12になるまでNチャネル型トランジスタ1とPチャネル型トランジスタ2、Nチャネル型トランジスタ4がオンしているが、Nチャネル型トランジスタ3がオフしているために、貢通電流が生じない。また、時刻T13でRC回路によって遅延された入力信号dの電圧レベルが、Nチャネル型トランジスタ3のしきい値V3Nを越えると、Nチャネル型トランジスタ3がオン状態に変化すると、出力信号OUTが“H”から“L”に変化する。時刻T13から入力信号dの電圧レベルがV2Pに達する時刻T14まで、Pチャネル型トランジスタ2とNチャネル型トランジスタ3、Nチャネル型トランジスタ4がオンしているが、すでに、Pチャネル型トランジスタ1がオフ状態になっているため、貢通電流は生じない。

【0021】図8では、入力信号INの信号レベルが“H”から“L”に変化する場合においての各トランジスタの動作を示す。時刻T15で入力信号cの電圧レベルが、V1P以下になるとPチャネル型トランジスタ1はオフ状態から、オン状態に切り替わる。時刻T15から時刻T16になるまでPチャネル型トランジスタ1、Nチャネル型トランジスタ3とNチャネル型トランジスタ4がオンしているが、Pチャネル型トランジスタ2がオフしているために、貢通電流が生じない。時刻T17で入力信号dの電圧レベルが、V2P以下になり、Pチャネル型トランジスタ2がオン状態に変化すると、出力信号OUTが“L”から“H”に変化する。時刻T17から入力信号dの電圧レベルがNチャネル型トランジスタ3のしきい値V3Nに達する時刻T18まで、Pチャネル型トランジスタ1とPチャネル型トランジスタ2、Nチャネル型トランジスタ3がオンしているが、すでに、Nチャネル型トランジスタ4がオフ状態になっているため、貢通電流は生じない。

【0022】(第3の実施例)本発明の第3の実施例の構成を図9に示す。図9は、図1の本発明の第1実施例の構成の出力に対して、前状態を保持する回路(バスホルダ)20を接続したものである。これは、図1における本発明の第1の実施の形態であるCMOSインバータ回路をLSI内部で用いる場合、Pチャネル型トランジスタ、Nチャネル型トランジスタが共にオフする場合、インバータ回路の出力がハイインピーダンス状態になる場合があるため、前状態を保持する回路を挿入することによって、次段にその状態を伝播させないようにしたものである。

【0023】尚、上述の実施形態は本発明の好適な実施の一例である。但し、これに限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々変形実施が可能である。

【0024】【発明の効果】以上の説明より明らかのように、請求項1記載の発明のCMOS論理回路は、ブッシュ／ブルゲート回路の何れか一方のゲート端子へ入力信号を接続し、且つ他方のゲート端子へ遅延回路を介した入力信号を接続し、入力信号を出力信号端子へ追従するブッシュ／ブルゲート回路のON/OFF動作のタイミングを、遅延回路により異ならせている。本構成によって、ゲート回路の同時オンを防ぎ、貢通電流を削減することができる。そのため、消費電力の削減を図ることができる。また、時定数を変更することにより、遅延量を調節することができ、所定の周波数の信号に対して貢通電流を減少させることができる。

【図面の簡単な説明】  
【図1】本発明のCMOS論理回路の第1の実施例を示すCMOSインバータ回路図である。

【図2】図1におけるCMOSインバータ回路の系統回

路の断面構造を表している。

【図3】図1のインバータ回路の動作例を示すタイミングチャートである。

【図4】トランジスタ1～4の特に入力立ち上がり時のタイミングを詳細に示している。

【図5】トランジスタ1～4の特に入力立ち下がり時のタイミングを詳細に示している。

【図6】第2の実施例を示す回路図である。

【図7】第2の実施例の構成においての各トランジスタの動作例を示す。

【図8】第2の実施例の構成においての各トランジスタの動作例を示す。

【図9】第3の実施例を示す回路図である。

\* 【図10】従来のCMOS論理回路の構成例を示す回路図である。

【符号の説明】

1, 2 Pチャネル型トランジスタ

3, 4 Nチャネル型トランジスタ

5 抵抗

6 コンデンサ

7 電源

8 GND

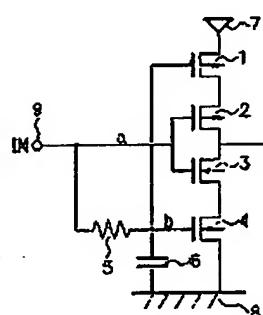
9 入力端子

10 出力端子

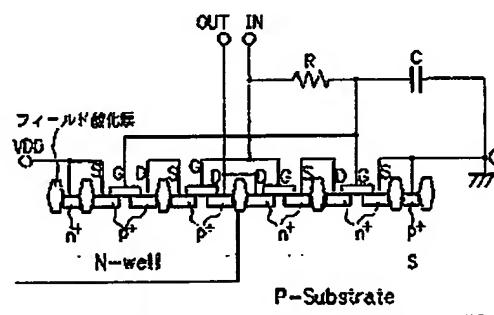
20 前状態を保持する回路(バスホールダ)

\* V1P, V2P, V3N, V4N しきい値

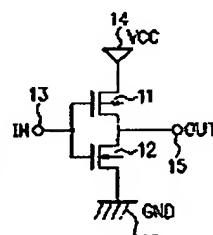
【図1】



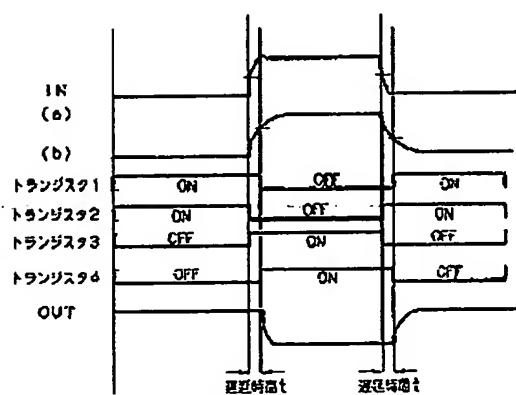
【図2】



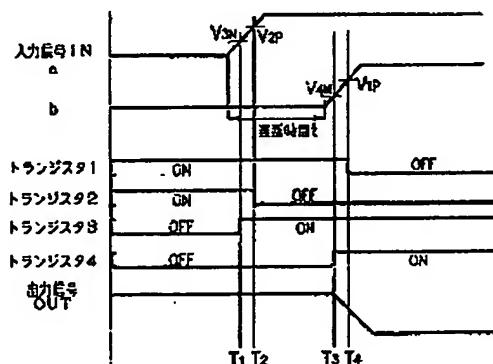
【図10】



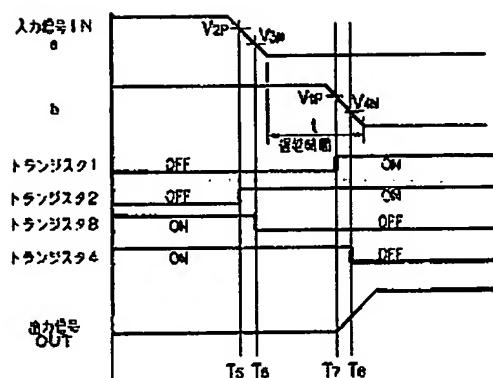
【図3】



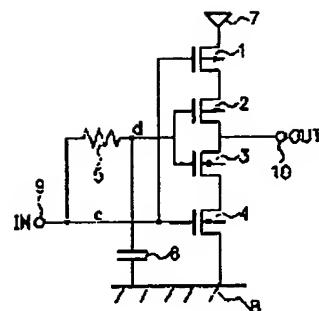
【図4】



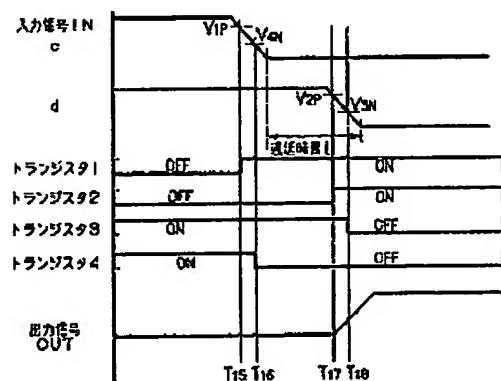
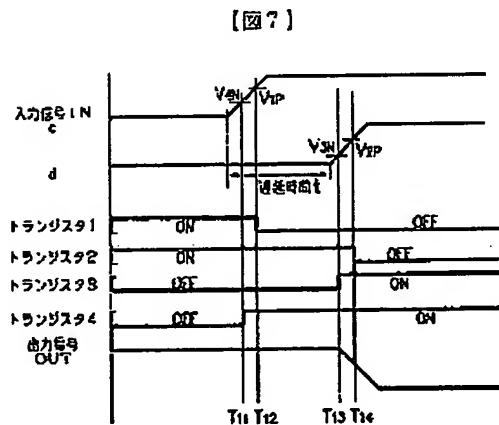
【図5】



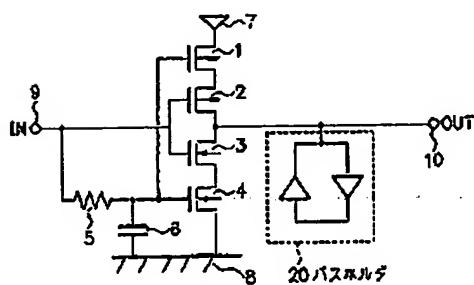
【図6】



【図8】



【図9】



(7)

特開2001-144604

フロントページの焼き

Fターム(参考) 5J055 AX27 AX54 AX64 BX16 CX24  
DX22 DX56 DX72 DX83 EX07  
EX21 EY01 EY10 EY21 EZ01  
EZ07 FX12 FX17 FX28 FX35  
GX01 GX04 GX07  
5J056 AA03 BB19 CC05 DD13 DD29  
DD51 EE11 FF08 KK00 KK02

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.  
As rescanning these documents will not correct the image  
problems checked, please do not report these problems to  
the IFW Image Problem Mailbox.**